



# AC780x 数据手册

适用于以下产品：

AC78016FDLA, AC78016MDQA, AC78016FDLI,  
AC78016FCLI, AC78016MDQI, AC78016MCQI,  
AC78013FDLI, AC78013FCLI, AC78013MDQI,  
AC78013MCQI, AC78013MBQI, AC78013FDLA,  
AC78013FCLA, AC78013MDQA, AC78013MCQA,  
AC78013MBQA, AC78012FDLI, AC78012FCLI,  
AC78012FBLI, AC78012MDQI, AC78012MCQI,  
AC78012MBQI, AC78012PBTI, AC78012PBTA,  
AC78010FCLI

文档版本： 1.0

发布日期： 2020-06-30

© 2013 - 2020 杰发科技

本文档包含杰发科技的专有信息。未经授权，严禁复制或披露本文档包含的任何信息。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。

## 修订记录

---

版本	日期	作者	描述
1.0	2020-06-30	AutoChips	初版

## 版权声明

---

本数据手册包含杰发科技的机密信息。禁止未经授权使用或披露本手册包含的信息。对因未经杰发科技授权而全部或部分披露此文档内容而给杰发科技带来的任何损失或损害，杰发科技将追究责任。

杰发科技保留对此处任何信息进行更改的权利，此处的信息如有变更，恕不另行通知。杰发科技对使用或依赖此处包含的信息不承担任何责任。

本数据手册的所有信息均“按原样”提供，不提供任何形式的明示、暗示、法定或其他形式的保证。杰发科技明确拒绝对适销性，非侵权性和针对特定用途的适用性方面的所有暗示保证。杰发科技对本手册可能使用、包含或提供的任何第三方软件不提供任何担保，并且用户同意仅向该等第三方寻求与此相关的任何担保索赔。杰发科技对于根据用户规格或为符合特定标准或公开论坛而产生的任何交付物，也不承担任何责任。

## 文档目录

修订记录.....	2
版权声明.....	3
文档目录.....	4
插图目录.....	6
表格目录.....	7
<b>1 主要特性.....</b>	<b>8</b>
<b>2 整体框图.....</b>	<b>10</b>
<b>3 器件标识.....</b>	<b>11</b>
3.1 说明.....	11
3.2 格式.....	11
3.3 字段.....	11
3.4 示例.....	12
<b>4 参数分类.....</b>	<b>13</b>
<b>5 额定值.....</b>	<b>14</b>
5.1 热学操作额定值.....	14
5.2 湿度操作额定值.....	14
5.3 ESD 操作额定值.....	14
5.4 电压和电流操作额定值.....	14
<b>6 通用.....</b>	<b>16</b>
6.1 静态电气规格.....	16
6.1.1 电源和地引脚.....	16
6.1.2 DC 特性.....	17
6.1.3 电源电流特性.....	19
6.2 动态规格.....	21
6.2.1 控制时序.....	21
6.2.2 PWM 模块时序.....	22
6.3 热规格.....	22
6.3.1 热特性.....	22
<b>7 外设工作要求和行为.....</b>	<b>25</b>
7.1 内核模块.....	25
7.1.1 SWD 电气规格.....	25
7.2 外部振荡器 (OSC) 和内部时钟源(ICS) 特性.....	25
7.2.1 外部振荡器(OSC) 特性.....	25
7.2.2 内部 RC 特性.....	26
7.2.3 PLL 特性.....	26
7.3 片内 Flash 规格.....	27
7.4 模拟.....	27
7.4.1 ADC 特性.....	27
7.4.2 模拟比较器 (ACMP) 电气规格.....	29
7.5 通信接口.....	29
7.5.1 SPI 规格.....	29
7.5.2 CAN 规格.....	31
7.5.3 UART 规格.....	31
7.5.4 I2C 规格.....	32

<b>8</b>	<b>尺寸 .....</b>	<b>34</b>
8.1	LQFP48 封装信息 .....	34
8.2	HVQFN32 封装信息 .....	37
8.3	TSSOP20 封装信息 .....	39
<b>9</b>	<b>引脚分配 .....</b>	<b>42</b>
9.1	信号多路复用和引脚分配 .....	42
9.2	器件引脚分配 .....	44

## 插图目录

图 2-1 AC780x 整体框图.....	10
图 6-1 电压引脚去耦.....	16
图 6-2 定时器输入捕捉脉冲.....	22
图 7-1 典型晶振或振荡器电路.....	26
图 7-2 ADC 输入等效图.....	28
图 7-3 SPI 时序图 —主机.....	29
图 7-4 SPI 时序图 –从机(cpha=0).....	30
图 7-5 SPI 时序图 –从机(cpha=1).....	30
图 7-6 标准与快速模式下 I2C 总线时序图.....	33
图 8-1 LQFP48 – 48 引脚, 7 x 7 毫米低轮廓四方引脚扁平式封装外形.....	34
图 8-2 LQFP48 正印示例图 (封装顶视图).....	36
图 8-3 HVQFN32 – 32 引脚, 5 x 5 毫米散热增强型非常薄四方扁平无引脚封装外形.....	37
图 8-4 HVQFN32 正印示例 (封装顶视图).....	38
图 8-5 TSSOP20 – 20 引脚, 6.5 x 4.4 毫米纤薄紧缩小尺寸封装外形.....	39
图 8-6 TSSOP20 正印示例 (封装顶视图).....	41
图 9-1 48 引脚 LQFP 封装.....	44
图 9-2 32 引脚 HVQFN32 封装.....	45
图 9-3 20 引脚 TSSOP20 封装.....	46

## 表格目录

表 3-1 器件编号字段说明.....	11
表 4-1 参数分类.....	13
表 5-1 热学操作额定值.....	14
表 5-2 湿度操作额定值.....	14
表 5-3 ESD 操作额定值.....	14
表 5-4 电压和电流操作额定值.....	15
表 6-1 DC 特性.....	17
表 6-2 LVD /POR / AVDD 电压告警规格.....	18
表 6-3 供电电流特性.....	19
表 6-4 控制时序.....	21
表 6-5 PWM 输入时序.....	22
表 6-6 热学属性.....	22
表 7-1 SWD 全电压范围电气规格.....	25
表 7-2 OSC 规格 (环境温度范围 = -40 至 125 °C).....	25
表 7-3 OSC 和 ICS 规格 (环境温度范围 = -40 至 125 °C).....	26
表 7-4 PLL 特性.....	26
表 7-5 片内 Flash 特性.....	27
表 7-6 12 位 ADC 和温度传感器工作条件和特性.....	27
表 7-7 12 位 ADC 和温度传感器工作条件和特性 (续).....	28
表 7-8 比较器电气规格.....	29
表 7-9 SPI 特性- 从机.....	31
表 7-10 CAN 唤醒脉冲特性.....	31
表 7-11 不同模式下 I2C 总线特性.....	32
表 8-1 LQFP48 – 48 引脚, 7 x 7 毫米低轮廓四方引脚扁平式封装机械数据.....	35
表 8-2 HVQFN32 – 32 引脚, 5 x 5 毫米散热增强型非常薄四方扁平无引脚封装机械数据.....	38
表 8-3 TSSOP20 – 20 引脚, 6.5 x 4.4 毫米纤薄紧缩小尺寸封装封装机械数据.....	40
表 9-1 信号多路复用和引脚分配表.....	42

## 1 主要特性

- 车规标准
  - 支持 AEC-Q100 Grade 1
- 性能
  - 高达 72 MHz 的 ARM® Cortex-M0+内核
  - 单周期 32 位乘法器
  - 快速 I/O 访问接口
  - 32 位协处理器(除法器/均方根)
- 存储器和存储器接口
  - 最高 128 KB 的片内 Flash
  - 最高 20 KB 的 SRAM, 支持 ECC
- 时钟
  - 振荡器 (Oscillator) – 支持 4 MHz 到 30 MHz 石英晶体振荡器; 可选择低功耗或高增益振荡器
  - 内部时钟源 (ICS) – 内部 PLL, 集成内部或外部基准时钟源, 8 MHz 预校准内部基准时钟源, 可用于 72 MHz 系统时钟, 全温度范围误差 <1.1%
  - 内部 32 KHz 低功耗振荡器 (LPO)
- 系统外设
  - 电源管理模块(PMC) 有三个功率模式: 运行、待机和停止
  - 低压检测复位电路 (LVD)
  - 带独立时钟源的看门狗(WDOG)
  - 可编程循环冗余校验(CRC)模块
  - 串行线调试(SWD)接口
  - 1 个 4 通道 DMA
- 人机接口
  - 42 个通用输入输出接口 (GPIO)
  - 外部中断 (IRQ)模块
- 模拟模块
  - 1 个多达 12 通道、12 位 1Msps 的 SAR ADC, 可选硬件触发器 (ADC)
  - 1 个包含 6 位 DAC 和可编程参考输入的模拟比较器(ACMP)
- 定时器
  - 2 个 8 通道互补脉宽调制 (PWM) 单元
  - 1 个 4 通道周期性中断定时器 (TIMER)
  - 2 个脉宽定时器 (PWDT)
  - 1 个实时时钟 (RTC)



- 通信接口
  - 1 个 CAN-FD 模块，兼容 CAN
  - 3 个 UART 模块（其中 2 路支持 Software LIN）
  - 2 个 SPI 模块
  - 2 个 I2C 模块
- 操作特性
  - 电压范围：2.7 到 5.5 V
  - 温度范围 (环境)：-40 到 125°C
- 封装选项
  - 48 引脚 LQFP
  - 32 引脚 HVQFN
  - 20 引脚 TSSOP

## 2 整体框图

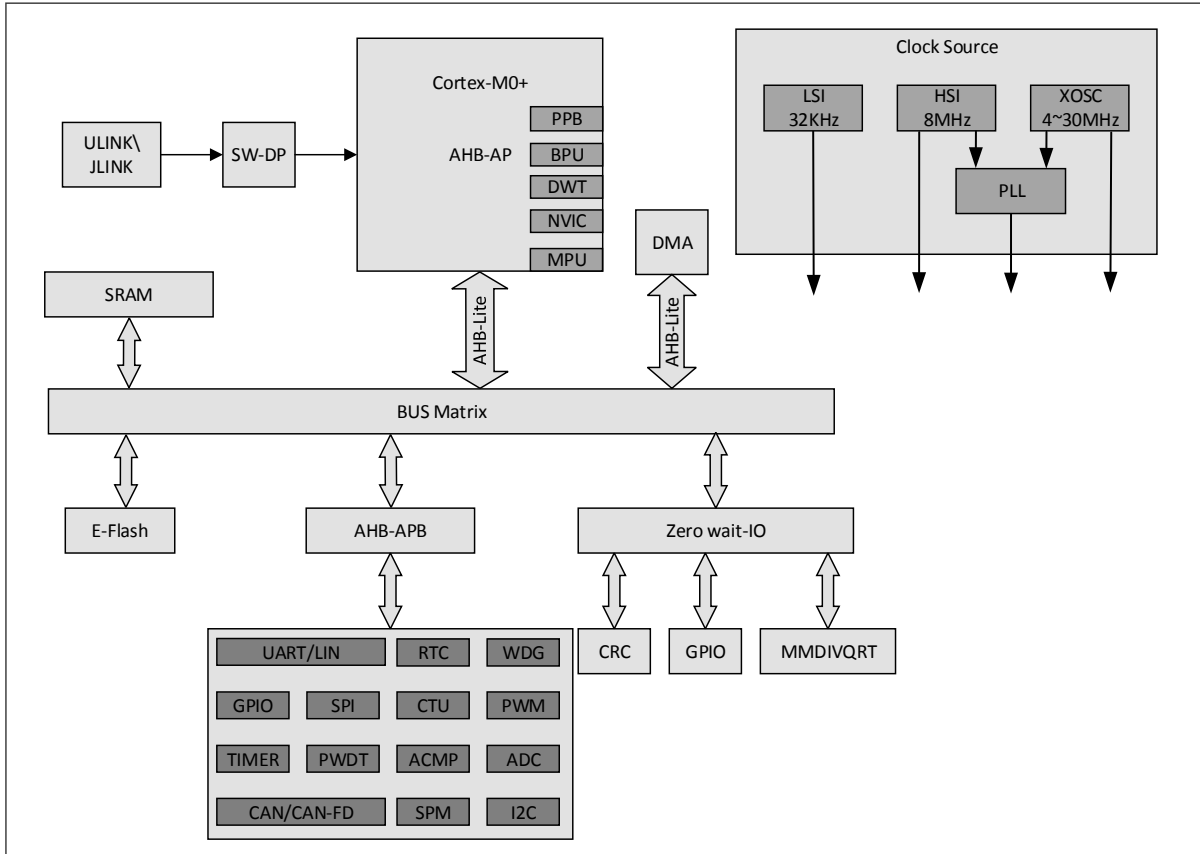


图 2-1 AC780x 整体框图

## 3 器件标识

### 3.1 说明

芯片器件型号包含可识别具体器件的字段。您可以使用这些字段的值来区分收到的具体器件。

### 3.2 格式

此设备的器件编号采用如下格式：

AC## GTUFPN

### 3.3 字段

下表列出器件编号中每个字段的可能值（并非所有组合都有效）。

表 3-1 器件编号字段说明

字段	说明	值
AC	AutoChips	• AC
7	AutoChips mcu 系列	• 7
8	汽车通用型	• 8
0	Core Platform	• 0 = Cortex-M0+
1	特定功能位	• 1 = 区分性能/版本
3		<ul style="list-style-type: none"> <li>• 3 = 产品子系列</li> <li>6: CPU 72MHz</li> <li>3: 支持 CAN-FD/CAN</li> <li>2: 不支持 CAN-FD/CAN</li> <li>0: ESD 2KV</li> </ul>
F	引脚数目	<ul style="list-style-type: none"> <li>• P = 20</li> <li>• M = 32</li> <li>• F = 48</li> </ul>
D	Flash 存储器大小	<ul style="list-style-type: none"> <li>• A = 16KB</li> <li>• B = 32KB</li> <li>• C = 64KB</li> <li>• D = 128KB</li> </ul>
L	封装类型	<ul style="list-style-type: none"> <li>• L = LQFP</li> <li>• Q = QFN</li> <li>• T = TSSOP</li> </ul>
A	温度范围(°C)	<ul style="list-style-type: none"> <li>• A = AEC-Q100 Grade 1(-40~125°C)</li> <li>• I = -40~105°C    C = -40~85°C</li> </ul>

### 3.4 示例

器件编号示例为：AC78013FDLA。

## 4 参数分类

下表中显示的电气参数通过不同的方法来保证达到要求。为了便于客户更好地理解，将使用如下的分类，并在表中适当的位置相应标记参数。

表 4-1 参数分类

P	在对每个设备进行生产测试时确保达到这些参数要求。
C	通过不同制程的、具有统计意义的相关样本数量的测量结果来保证这些参数要求。
T	除非另有说明，否则通过统计典型条件下典型器件的小规模样本测量值来保证这些参数要求。此类别包含典型列中所示的所有值。
D	这些参数主要来自于仿真。

## 5 额定值

### 5.1 热学操作额定值

表 5-1 热学操作额定值

符号	说明	最小值	最大值	单位	附注
TSTG	存储温度	-55	150	°C	1
TSDR	焊接温度, 无铅	—	260	°C	2

1. 根据 JEDEC JESD22-A103 标准中“高温存储寿命”来确定;
2. 根据 IPC/JEDEC J-STD-020 标准中“非密封固态表面贴装设备湿度/再流焊灵敏度分类”确定。

### 5.2 湿度操作额定值

表 5-2 湿度操作额定值

符号	说明	最小值	最大值	单位	附注
MSL	湿度灵敏度级别	—	3	—	1

1. 根据 IPC/JEDEC J-STD-020 标准中“非密封固态表面贴装设备湿度/再流焊灵敏度分类”确定。

### 5.3 ESD 操作额定值

表 5-3 ESD 操作额定值

符号	说明	最小值	最大值	单位	附注
VHBM	静电放电电压, 人体放电模式	-4000	4000	V	1
VCDM	静电放电电压, 设备充电模式	-750	750	V	2
ILAT	125°C 温度环境下的门锁电流	-100	100	mA	3

1. 根据 AEC-Q100-002-D,HUMAN BODY MODEL ELECTROSTATIC DISCHARGE TEST 来确定。
2. 根据 AEC-Q100-011-C1,CHARGED DEVICE MODEL (CDM) ELECTROSTATIC DISCHARGE TEST 确定。
3. 根据 AEC-Q100-004-D,IC LATCH-UP TEST 确定。
  - 在 125 °C 环境温度下进行测试 (II 类);
  - 电源组 1.5 V<sub>ccmax</sub>

### 5.4 电压和电流操作额定值

绝对最大额定值仅为应力额定值, 并不保证最大值时的功能操作。超过下表中指定的应力可能影响器件的可靠性或对器件造成永久性损坏。有关功能操作条件的更多信息, 请参考此文档中的其他表格。

该器件包含防止高静态电压或电场造成损坏的电路，但建议采取预防措施，以避免实际应用中高于额定电压的输入造成这部分电路的损坏。未用输入引脚连接到适当的逻辑电压电平（例如， $V_{SS}$  或  $V_{DD}$ ）或使能相关引脚的内部上拉电阻，可增强操作的可靠性。

表 5-4 电压和电流操作额定值

符号	说明	最小值	最大值	单位
$V_{DD}$	数字电源电压	-0.3	6	V
$I_{DD}$	流入 $V_{DD}$ 的最大电流	—	60	mA
$V_{IN}$	除开漏引脚之外的输入电压	-0.3	$V_{DD} + 0.3^1$	V
	开漏引脚的输入电压	-0.3	$V_{DD} + 0.3^1$	V
$I_D$	单引脚瞬态最大电流限值(适用于所有端口引脚)	-20	20	mA
$V_{DDA}$	模拟电源电压	$V_{DD} - 0.3$	$V_{DD} + 0.3$	V

1. 最大额定  $V_{DD}$  也适用于  $V_{IN}$ 。

## 6 通用

### 6.1 静态电气规格

#### 6.1.1 电源和地引脚

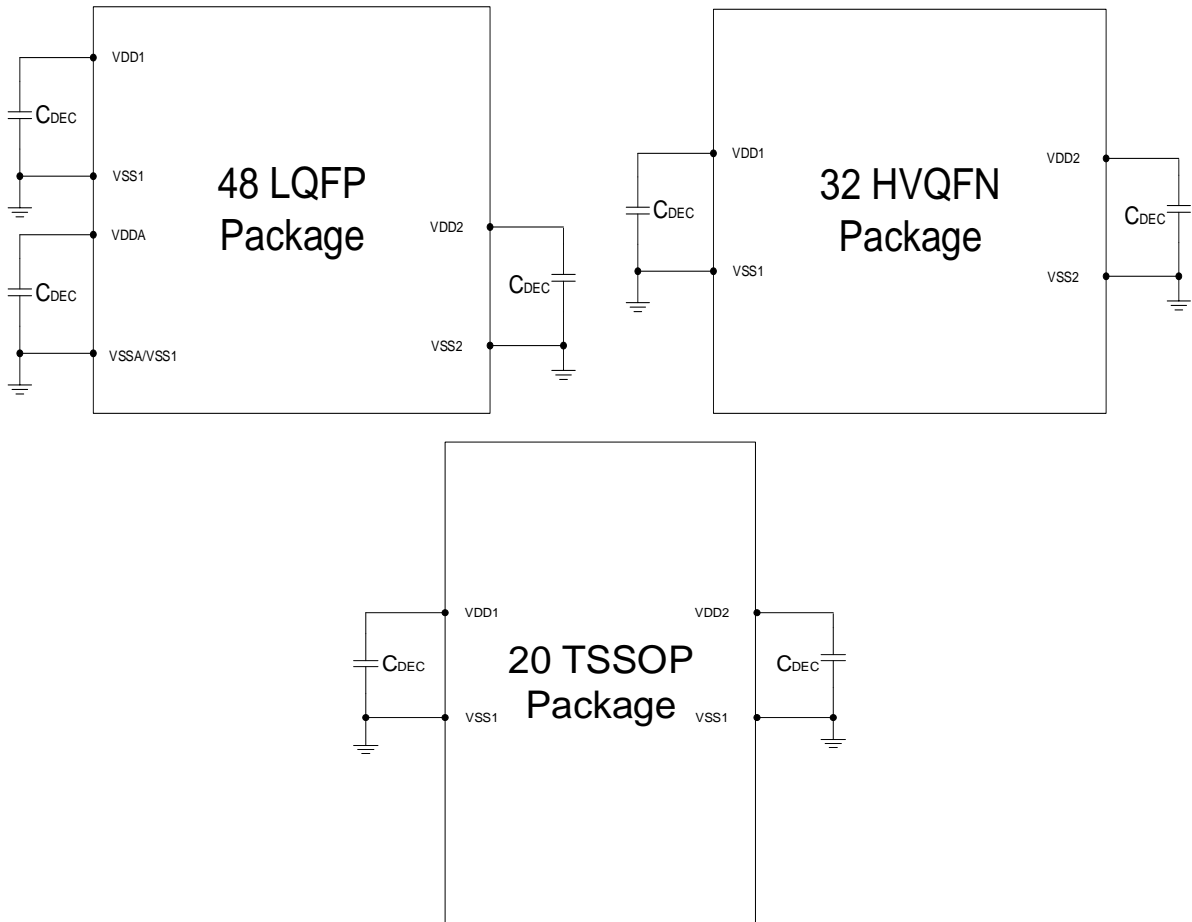


图 6-1 电压引脚去耦

1. VDDD 和 VDDA 在板上需连接到同一个供电电源。
2. 所有的退耦电容都需要使用 X7R 类型的低 ESR 值陶瓷电容，电容值建议是 0.1 uF。
3. 为了使电源引脚有更好的性能，建议使用 10 uF、0.1 uF 和 1 nF 电容并联形成退耦网络。
4. 所有的退耦电容都必须尽可能地靠近相应的电源和地引脚放置。



### 6.1.2 DC 特性

本节包括有关电源要求和 I/O 引脚特性的信息。

表 6-1 DC 特性

符号	C	说明		最小值	典型值	最大值	单位	
—	—	工作电压		—	2.7	—	5.5	V
VOH	P	输出高电压	驱动强度	5 V, I <sub>load</sub> = -5, -10, -15, -20mA	0.85×V <sub>DD</sub>	—	—	V
	C			3 V, I <sub>load</sub> = -3.6, -7.2, -10.8, -14.4 mA	0.8×V <sub>DD</sub>	—	—	V
IOHT	D	输出高电压	所有端口的最大总输出高电流 I <sub>OH</sub>	5 V	—	—	30	mA
				3 V	—	—	20	
VOL	P	输出低电压	驱动强度	5 V, I <sub>load</sub> = 5, 10, 15, 20mA	—	—	0.15×V <sub>DD</sub>	V
	C			3 V, I <sub>load</sub> = 3.6, 7.2, 10.8, 14.4 mA	—	—	0.2×V <sub>DD</sub>	V
IOLT	D	输出低电压	所有端口的最大总输出低电流 I <sub>OL</sub>	5 V	—	—	30	mA
				3 V	—	—	20	
VIH	P	输入高电压	全部数字输入	4.5≤V <sub>DD</sub> <5.5 V	0.65×V <sub>DD</sub>	—	V <sub>DD</sub> + 0.3	V
				2.7≤V <sub>DD</sub> <4.5 V	0.70×V <sub>DD</sub>	—	V <sub>DD</sub> + 0.3	
VIL	P	输入低电压	全部数字输入	4.5≤V <sub>DD</sub> <5.5 V	-0.3	—	0.35×V <sub>DD</sub>	V
				2.7≤V <sub>DD</sub> <4.5 V	-0.3	—	0.30×V <sub>DD</sub>	
V <sub>hys</sub>	C	输入迟滞	全部数字输入	—	0.06×V <sub>DD</sub>	—	—	mV
I <sub>In</sub>	P	输入漏电流	每个引脚 (高阻抗输入模式下的引脚)	V <sub>IN</sub> = V <sub>DD</sub> 或 V <sub>SS</sub>	-1	0.1	1	μA
I <sub>INTOT</sub>	C	所有端口引脚的总漏电流	高阻抗输入模式下的引脚	V <sub>IN</sub> = V <sub>DD</sub> 或 V <sub>SS</sub>	0	0.1	2	μA
RPU	P	上拉电阻	所有数字输入并使能内部上拉	—	40	75	190	kΩ

I <sub>IC</sub>	D	DC 注入电流	单引脚限值	V <sub>IN</sub> < V <sub>SS</sub> , V <sub>IN</sub> > V <sub>DD</sub>	-2	—	2	mA
			总 MCU 限值, 包括所有应力引脚的总和		-5	—	25	
C <sub>In</sub>	C	输入电容, 所有引脚		—	—	5	7	pF
V <sub>RAM</sub>	C	RAM 保留电压		—	2	—	—	V

表 6-2 LVD /POR / AVDD 电压告警规格

符号	C	说明	最小值	典型值	最大值	单位
V <sub>POR</sub>	D	POR 重置电压 <sup>1</sup>	1.6	1.8	2	V
V <sub>LVDL</sub>	C	下降沿低压检测阈值—低量程(LVDV=0) <sup>2</sup>	2.5	2.6	2.7	V
V <sub>LVDH</sub>	C	下降沿低压检测阈值—高量程 (LVDV=1) <sup>2</sup>	4.05	4.2	4.35	V
V <sub>HYSLVD</sub>	C	低压检测迟滞	—	50	—	mV
V <sub>PVDH</sub>	C	下降沿低压告警阈值—高量程	4.45	4.6	4.75	V
V <sub>PVDL</sub>	C	下降沿低压告警阈值—低量程	2.85	2.95	3.05	V
V <sub>HYS PVD</sub>	C	高量程低压检测迟滞	—	50	—	mV
V <sub>BG</sub>	P	经过缓冲的带隙输出 <sup>3</sup>	1.19	1.2	1.21	V

1. 最大值是 POR 可以保证的最高电压值;
2. 上升沿阈值=下降沿阈值+ 迟滞电压;
3. 电压已在 V<sub>DD</sub> = 5.0 V, Temp = 25 °C 下进行出厂调整。

### 6.1.3 电源电流特性

表 6-3 供电电流特性

参数	符号	内核/总线频率	V <sub>DD</sub> (V)	-40℃	25℃ <sup>1</sup>	85℃	105℃	125℃ <sup>2</sup>	单位
LFOSC+PLL, 使 能所有模块时钟	R <sub>IDD</sub>	72/36 MHz	5	15.101	15.215	15.194	15.887	15.963	mA
		48/48 MHz		12.886	12.931	13.188	13.584	13.646	
		48/24 MHz		12.291	12.326	12.583	12.971	13.032	
		24/24 MHz		10.337	10.291	10.512	10.912	10.964	
		12/12 MHz		9.089	8.962	9.163	9.563	9.585	
		72/36 MHz	3.3	14.24	14.381	14.41	14.713	14.947	
		48/48 MHz		12.105	12.147	12.434	12.587	12.704	
		48/24 MHz		11.511	11.581	11.792	11.284	12.113	
		24/24 MHz		9.613	9.628	9.80s5	10	10.12	
		12/12 MHz		8.385	8.341	8.496	8.7	8.799	
LFOSC+PLL, , 禁用并关闭所有模 块时钟	R <sub>IDD</sub>	72/36 MHz	5	11.696	11.769	11.917	11.913	12.036	mA
		48/48 MHz		9.606	9.63	9.911	9.791	9.882	
		48/24 MHz		9.395	9.49	9.743	9.626	9.724	
		24/24 MHz		7.851	7.857	8.099	7.985	8.079	
		12/12 MHz		6.99	6.974	7.194	7.077	7.148	
		72/36 MHz	3.3	10.996	11.074	11.307	11.321	11.427	
		48/48 MHz		8.972	8.976	9.206	9.208	9.302	
		48/24 MHz		8.786	8.84	9.044	9.048	9.163	
		24/24 MHz		7.244	7.238	7.415	7.418	7.517	
		12/12 MHz		6.359	6.369	6.515	6.514	6.606	
XOSC+PLL, 使 能所有模块时钟	R <sub>IDD</sub>	72/36 MHz	5	19.444	19.848	20.363	21.529	21.044	mA
		48/48 MHz		16.737	17.059	17.532	18.718	18.224	
		48/24 MHz		16.002	16.306	16.796	17.975	17.474	
		24/24 MHz		13.592	13.819	14.268	15.465	14.953	
		12/12 MHz		12.014	12.181	12.624	13.828	13.314	
		72/36 MHz	3.3	18.497	18.907	19.369	20.07	19.932	
		48/48 MHz		15.865	16.207	16.649	17.358	17.205	
		48/24 MHz		15.115	15.474	15.907	16.619	16.467	
		24/24 MHz		12.797	13.07	13.49	14.207	14.042	
		12/12 MHz		11.268	11.499	11.905	12.627	12.46	
XOSC+PLL, 禁 用并关闭所有模块 时钟	R <sub>IDD</sub>	72/36 MHz	5	15.52	15.959	16.407	16.427	16.694	mA
		48/48 MHz		13.008	13.323	13.832	13.836	14.109	
		48/24 MHz		12.825	13.15	13.639	13.646	13.907	
		24/24 MHz		10.862	11.181	11.664	11.645	11.894	

		12/12 MHz		9.805	10.108	10.568	10.559	10.768	
		72/36 MHz	3.3	14.842	15.192	15.672	15.773	16.058	
		48/48 MHz		12.315	12.611	13.107	13.214	13.489	
		48/24 MHz		12.127	12.441	12.91	13.013	13.294	
		24/24 MHz		10.193	10.48	10.921	11.027	11.272	
		12/12 MHz		9.137	9.416	9.828	9.927	10.17	
休眠模式 LFOSC+PLL, 使能所有模块时钟	RIDD	72/36 MHz	5	13.531	13.736	13.827	13.927	14.127	mA
		48/48 MHz		11.787	11.943	12.017	12.109	12.3	
		48/24 MHz		11.183	11.335	11.4	11.49	11.683	
		24/24 MHz		9.689	9.796	9.844	9.923	10.101	
		12/12 MHz		8.636	8.715	8.75	8.825	9.003	
	3.3	72/36 MHz		12.922	13.104	13.204	13.298	13.482	
		48/48 MHz		11.185	11.33	11.408	11.493	11.667	
		48/24 MHz		10.588	10.724	10.8	10.887	11.055	
		24/24 MHz		9.107	9.198	9.258	9.333	9.492	
		12/12 MHz		8.059	8.124	8.174	8.244	8.4	
休眠模式 XOSC+PLL, 使能所有模块时钟	RIDD	72/36 MHz	5	17.533	18.016	18.338	18.543	18.916	mA
		48/48 MHz		15.38	15.828	16.129	16.323	16.69	
		48/24 MHz		14.648	15.086	15.389	15.579	15.939	
		24/24 MHz		12.803	13.199	13.49	13.677	14.021	
		12/12 MHz		11.512	11.875	12.164	12.339	12.677	
	3.3	72/36 MHz		16.879	17.317	17.656	17.848	18.199	
		48/48 MHz		14.743	15.144	15.467	15.647	15.986	
		48/24 MHz		14.01	14.398	14.733	14.912	15.251	
		24/24 MHz		12.182	12.537	12.846	13.017	13.343	
		12/12 MHz		10.889	11.223	11.528	11.695	12.019	
LFOSC 作为系统时钟, 使能所有模块时钟	RIDD	8/4 MHz	5	7.104	6.925	7.137	7.432	7.567	mA
			3.3	6.42	6.39	6.51	6.682	6.81	
LFOSC 作为系统时钟, 关闭所有模块时钟	RIDD	8/4 MHz	5	5.173	5.209	5.396	5.281	5.345	mA
			3.3	4.6	4.619	4.732	4.733	4.828	
停止模式 (RTC/GPIO/I2C /SPI/UART/CAN 可以唤醒) <sup>3</sup>	SIDD	—	5	3.12	5.94	29.65	55.22	114.11	μA
			3.3	2.71	5.61	28.72	54.42	112.31	
ADC 使能下的停止模式电流 (mode1:全速模式)	SIDD	—	5	1.93	1.984	2.019	2.05	2.118	mA
			3.3	1.665	1.738	1.754	1.782	1.849	
	SIDD	—	5	106.93	113.63	142.76	167.8	224.95	μA

ADC +模拟看门狗使能下的停止模式电流 (mode2)			3.3	99.66	106.79	136.32	160.86	217.73	
ACMP 使能下的停止模式电流	SI <sub>DD</sub>	—	5	18.35	21.51	45.17	70.87	129.59	μA
			3.3	14.94	17.91	40.82	66.96	124.97	
LVD 使能下的停止模式电流	SI <sub>DD</sub>	—	5	37.97	42.74	67.82	93.89	153.46	μA
			3.3	34.65	39.55	64.49	90.8	149.72	
待机模式(RTC 打开, RTC/NMI 可以唤醒) <sup>3</sup>	SI <sub>DD</sub>	—	5	1.95	2.31	7.12	12.54	27	μA
			3.3	1.47	2	6.59	11.88	25.78	

1. 典型列里的数据在 25 °C V<sub>DD</sub>=3.3/5V 条件下的统计值或是推荐值;
2. 在 125 °C V<sub>DD</sub>=3.3/5V 条件下的统计值或是推荐值;
3. 在典型情况下, RTC 会导致 IDD 增加不超过 1 μA, RTC 时钟源为 32 KHz LPO 时钟。

## 6.2 动态规格

### 6.2.1 控制时序

表 6-4 控制时序

编号	C	额定值	符号	最小值	典型值	最大值	单位	
1	D	系统和内核时钟( $t_{sys} = 1/f_{sys}$ )	f <sub>sys</sub>	DC	—	72	MHz	
2	P	总线频率( $t_{cyc} = 1/f_{bus}$ )	f <sub>bus</sub>	DC	—	72	MHz	
3	P	内部低功耗振荡器频率	f <sub>LPO</sub>		32		KHz	
4	D	外部复位脉冲宽度 <sup>2</sup>	t <sub>extrst</sub>	1.5 × t <sub>32k</sub>	—	—	ns	
5	D	IRQ 脉冲宽度	运行模式 <sup>3</sup>	t <sub>ILIH/</sub> t <sub>IHIL</sub>	1.5 × t <sub>sys</sub>	—	—	ns
	D		停止模式 <sup>3</sup>	t <sub>ILIH/</sub> t <sub>IHIL</sub>	1.5 × t <sub>32k</sub>	—	—	ns
6	C	端口上升和下降时间- 标准驱动强度 (负载 = 50 pF) <sup>4</sup>	—	t <sub>Rise</sub>	—	10.2	—	ns
	C			t <sub>Fall</sub>	—	9.5	—	ns
	C	端口上升和下降时间- 高驱动强度(负载 = 50 pF) <sup>4</sup>	—	t <sub>Rise</sub>	—	5.4	—	ns
	C			t <sub>Fall</sub>	—	4.6	—	ns

1. 除非另有说明, 否则典型值是指 V<sub>DD</sub>=5.0 V、25 °C 时的特性数据;
2. 这里保证可识别为 RESET\_B 引脚请求的最短脉冲;
3. 这里保证可通过引脚同步电路的最短脉冲宽度。低于该宽度的脉冲有可能不被识别;

4. 时序按 20%的  $V_{DD}$  电平和 80%的  $V_{DD}$  电平显示，温度范围-40 至 125 °C。

## 6.2.2 PWM 模块时序

同步电路决定可识别的最短输入脉冲。这些同步电路的工作时钟被称作 PWM 时钟。

表 6-5 PWM 输入时序

C	功能	符号	最小值	最大值	单位
D	定时器时钟频率	fPWM	-	72M	Hz
D	输入捕捉脉冲宽度	tICPW	1.5	—	tPWM <sup>1</sup>

1.  $t_{PWM}=1/f_{PWM}$ ;

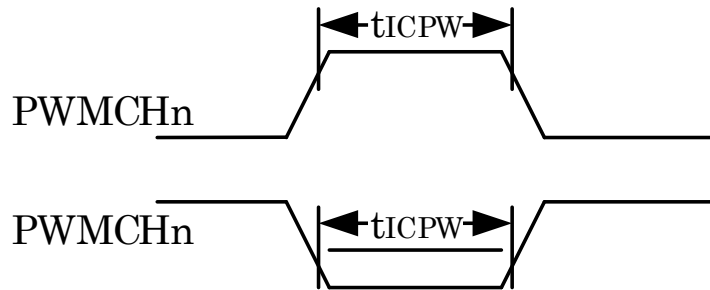


图 6-2 定时器输入捕捉脉冲

## 6.3 热规格

### 6.3.1 热特性

本节介绍有关工作温度范围、功耗和封装热阻的信息。I/O 引脚上的功耗通常比片上逻辑和电压调节器电路中的功耗少，且它由用户决定而非由 MCU 设计控制。要在功率计算中考虑  $P_{I/O}$ ，请确定实际引脚电压和  $V_{SS}$  或  $V_{DD}$  之间的电压差并乘以每个 I/O 引脚的引脚电流。除异常高引脚电流（高负载）外，引脚电压和  $V_{SS}$  或  $V_{DD}$  之间的压差将会很小。

表 6-6 热学属性

电路板类型	符号	说明	48	32	20	单位	附注
			LQFP	HVQFN	TSSOP		
单层 (1S)	$R_{\theta JA}$	热阻，结到外部环境(自然对流)	45.81	37.36	51.55	°C/W	1, 2
四层 (2s2p)	$R_{\theta JA}$	热阻，结到外部环境(自然对流)	32.11	17.59	34.36	°C/W	1, 3
单层 (1S)	$R_{\theta JMA}$	热阻，结到外部环境（空气速率为 200 英尺/分钟）	39.85	31.11	45.38	°C/W	1, 3
四层 (2s2p)	$R_{\theta JMA}$	热阻，结到外部环境（空气速率为 200 英尺/分钟）	28.22	13.72	30.44	°C/W	1, 3

单层 (1S)	R <sub>0JB</sub>	热阻, 结到板	20.76	7.90	21.71	°C/W	4
四层 (2s2p)	R <sub>0JB</sub>	热阻, 结到板	20.58	5.19	21.56	°C/W	4
单层 (1S)	R <sub>0JC</sub>	热阻, 结到管壳	25.02	27.08	27.67	°C/W	5
四层 (2s2p)	R <sub>0JC</sub>	热阻, 结到管壳	25.02	27.08	27.67	°C/W	5
单层 (1S)	Ψ <sub>JT</sub>	热特性参数, 结到外封装顶部中心 (自然对流)	1.06	0.50	0.41	°C/W	6
四层 (2s2p)	Ψ <sub>JT</sub>	热特性参数, 结到外封装顶部中心 (自然对流)	0.94	0.35	0.30	°C/W	6
单层 (1S)	Ψ <sub>JB</sub>	热特性参数, 结到外封装底部中心 (自然对流)	20.60	7.75	21.51	°C/W	7
四层 (2s2p)	Ψ <sub>JB</sub>	热特性参数, 结到外封装底部中心 (自然对流)	20.50	5.17	21.47	°C/W	7

1. 结温是裸片大小、片上功耗、封装热阻、安装环境 (板) 温度、环境温度、气流、板上其他组件的功耗和板热阻的函数。

2. 基于JEDEC JESD51-2 标准, 在单层板(JESD51-3)水平方向。

3. 基于JEDEC JESD51-6, 在电路板(JESD51-7)水平方向

4. 裸片和印刷电路板上的热阻, 基于JEDEC JESD51-8 标准。板温度在封装附近的板上表面测量。

5. 裸片和封装底部焊盘之间的热阻。忽略接触热阻。

6. 基于JEDEC JESD51-2 标准, 热特性参数表示封装顶部和结温度之间的温差。未提供希腊字母时的热特性。

7. 基于 JEDEC JESD51-2 标准, 热特性参数表示封装底部和结温度之间的温差。未提供希腊字母时的热特性。

可通过以下公式计算平均芯片结温 (T<sub>J</sub>) (以 °C 为单位) :

$$T_J = T_A + (P_D \times \theta_{JA}), \text{ 其中:}$$

T<sub>A</sub> = 环境温度, 以°C 为单位;

$$\theta_{JA} = \text{封装热阻, 结环境, 以}^\circ\text{C/W 为单位;}$$

$$P_D = P_{int} + P_{I/O}$$

P<sub>int</sub> = I<sub>DD</sub> × V<sub>DD</sub>, 以瓦特为单位 — 芯片内部功率;

P<sub>I/O</sub> = 输入和输出引脚上的功耗 — 由用户决定;

对于大多数应用, P<sub>I/O</sub> << P<sub>int</sub>, 且可以忽略。P<sub>D</sub> 和 T<sub>J</sub> (如果忽略 P<sub>I/O</sub>) 之间的近似 关系是:

$$P_D = K \div (T_J + 273^\circ\text{C})$$

求解以上等式中的 K:

$$K = P_D \times (T_A + 273^\circ\text{C}) + \theta_{JA} \times (P_D)^2$$

其中 K 是特定部分的常数。

通过测量已知 TA 的 PD（处于均衡状态）来确定 K。使用此 K 值，可通过以上公式迭代求解任何 TA 值来获得 PD 和 TJ 值。



## 7 外设工作要求和行为

### 7.1 内核模块

#### 7.1.1 SWD 电气规格

表 7-1 SWD 全电压范围电气规格

符号	说明	最小值	最大值	单位
	工作电压	2.7	5.5	V
J1	SWD_CLK 工作频率 • 串行线调试	0	20	MHz
J2	SWD_CLK 周期	1/J1	—	ns
J3	SWD_CLK 时钟脉宽 • 串行线调试	20	—	ns
J4	SWD_CLK 上升和下降时间	—	3	ns
J9	到 SWD_CLK 上升的 SWD_DIO 输入数据建立时间	5	—	ns
J10	SWD_CLK 上升之后的 SWD_DIO 输入数据保持时间	5	—	ns
J11	SWD_CLK 高电平到 SWD_DIO 数据有效	—	41	ns

### 7.2 外部振荡器 (OSC) 和内部时钟源(ICS) 特性

#### 7.2.1 外部振荡器(OSC) 特性

表 7-2 OSC 规格 (环境温度范围 = -40 至 125 °C)

编号	C	特性	符号	最小值	典型值	最大值	单位
1	C	振荡器频率	f <sub>hi</sub>	4	—	30	MHz
2	D	反馈电阻	CL1, CL2	参见注释 1			
3	D	串联电阻	R <sub>s</sub>	—	0	—	KΩ
4	C	晶振启动时间	tc <sub>st</sub>		3		ms

注释 1: 对于 CL1 和 CL2, 推荐使用为高频率应用设计、满足晶振需求的高质量外部陶瓷电阻。CL1 和 CL2 通常大小相同。典型地, 晶振生产厂商指定一个反馈电阻, 它是 CL1 和 CL2 的线性组合。在确定 CL1 and CL2 的尺寸时, 必须包含 PCB 和 MCU 引脚电容 (10 pF 可用作组合引脚和电路板电容的粗略估计)。

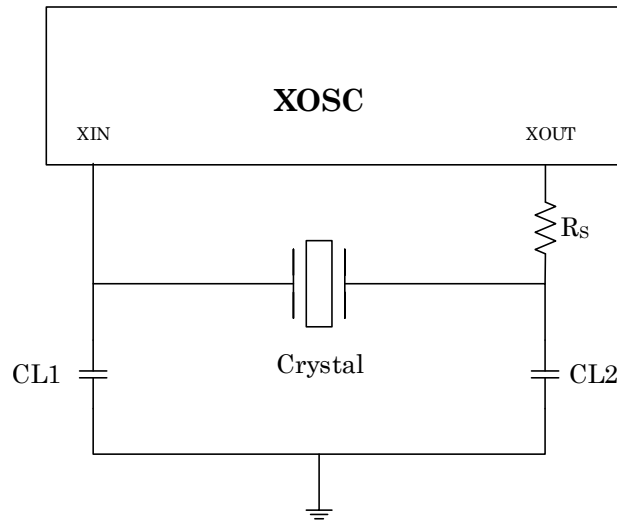


图 7-1 典型晶振或振荡器电路

## 7.2.2 内部 RC 特性

表 7-3 OSC 和 ICS 规格（环境温度范围 = -40 至 125 °C）

编号	C	特性	符号	最小值	典型值	最大值	单位	
1	P	LFOSC 输出频率范围	温度范围： -40 °C 至 125 °C	$f_{fosc}$	7.90	8	8.10	MHz
2	P	LPOSC 内部基准时钟频率，出厂已调整	T = 25 °C, V <sub>DD</sub> = 5 V	$f_{int\_ft}$	—	32	—	KHz
3	P	LPOSC 出厂已调整的 内部振荡器精度	T = 25 °C, V <sub>DD</sub> = 5 V	$\Delta f_{int\_ft}$	-1.5	—	1.5	%
4	C	LPOSC 在 T = 25 °C, V <sub>DD</sub> = 2.7-5.5 V 的条件 下调整，IRC 随温度变 化产生的偏差	温度范围： -40 °C 到 125 °C	$\Delta f_{int\_t}$	-10	—	+10	%

## 7.2.3 PLL 特性

表 7-4 PLL 特性

编号	符号	参数	最小值	典型值	最大值	单位
1	$f_{PLL\_IN}$	PLL 输入时钟频率	4		30	MHz
2	$f_{PLL\_REF}$	PFD 参考时钟频率			8	MHz
3	$f_{PLL\_OUT}$	PLL 输出时钟频率	9		750	MHz
4	$f_{VCO\_OUT}$	VCO 输出频率	500		1500	MHz
工作环境温度：-40~125°C						

编号	符号	参数	最小值	典型值	最大值	单位
fPLL_OUT = fVCO_OUT / Postdiv, Postdiv 可以为 2,4,6,...,60,62						
fPLL_REF = fPLL_IN / Prediv, Prediv 可以为 1,2,4						

## 7.2.4 片内 Flash 规格

本节详细介绍了片内 Flash 存储器的编程/擦除时间和编程/擦除次数。

表 7-5 片内 Flash 特性

C	特性	符号	最小值	典型值	最大值	单位
D	-40°C 到 125 °C 温度环境下编程/擦除工作电压	V <sub>prog/erase</sub>	2.7	—	5.5	V
D	读取操作的供电电压	V <sub>Read</sub>	2.7	—	5.5	V
D	片内 Flash 总线频率	f <sub>sys</sub>	8	48	72	MHz
D	批量擦除(所有主块页)	t <sub>MER</sub>	—	114.6	—	ms
D	页擦除(一页)	t <sub>PER</sub>	—	114.6	—	ms
D	批量擦除校验	t <sub>MERV</sub>	65600	—	131200	t <sub>eye</sub>
D	页擦除校验	t <sub>PERV</sub>	535	—	1070	t <sub>eye</sub>
D	编程片内 Flash (1 个字)	t <sub>PRG1</sub>	—	66.5	—	us
D	编程片内 Flash (n 个字, n>1)	t <sub>PRGn</sub>	—	66.5+14.6×(n-1)	—	us
C	片内 Flash 寿命(擦除-编程循环次数) T <sub>A</sub> = -40 °C 至 125 °C	n <sub>EDR</sub>	10 k	—	—	次
C	平均结温为 T <sub>Javg</sub> = 85° C 下高达 10K 次擦除-编程循环后数据保持时间	t <sub>RET</sub>	10	—	—	年

注: t<sub>eye</sub> = 1/ f<sub>sys</sub>。

## 7.3 模拟

### 7.3.1 ADC 特性

表 7-6 12 位 ADC 和温度传感器工作条件和特性

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>AVDD</sub>	供电电压	绝对值	2.7	-	5.5	V
V <sub>IN</sub>	输入电压范围	-	0	-	V <sub>AVDD</sub>	V
R <sub>IN</sub>	输入阻抗	-	-	-	5	KΩ
V <sub>REF</sub>	缓冲输出	-	1.35	-	2.75	V

符号	参数	条件	最小值	典型值	最大值	单位
$C_{ADC}$	内部采样电容	-	-	2.3	-	pF
$R_{ADC}$	采样开关电阻	-	-	2.6	-	K $\Omega$
$f_{ADC}$	ADC 时钟频率	-	-	-	24	MHz
$f_{sample}$	采样时间	-	280	-	-	ns
$f_{trig}$	采样频率	$f_{ADC}=24$ MHz	-	-	1	MHz
INL	积分非线性	-	-	1.5	-	LSB
DNL	差分非线性	-	-	1.5	-	LSB
CH	外部通道	-	-	-	12	-

表 7-7 12 位 ADC 和温度传感器工作条件和特性 (续)

特性	条件	C	符号	最小值	典型值	最大值	单位
温度传感器斜率	-40 °C–125 °C	D	m	--	1.629	--	mV/°C
温度传感器电压	25 °C	D	$V_{TEMP25}$	--	0.72 <sup>[1]</sup>	--	V

[1]: 25°C 偏差需要通过 0x40003050[18:13]来取得, 其中 bit18 为符号位, [17:13]每个 bit 代表 0.5 度误差相对于 25 度。

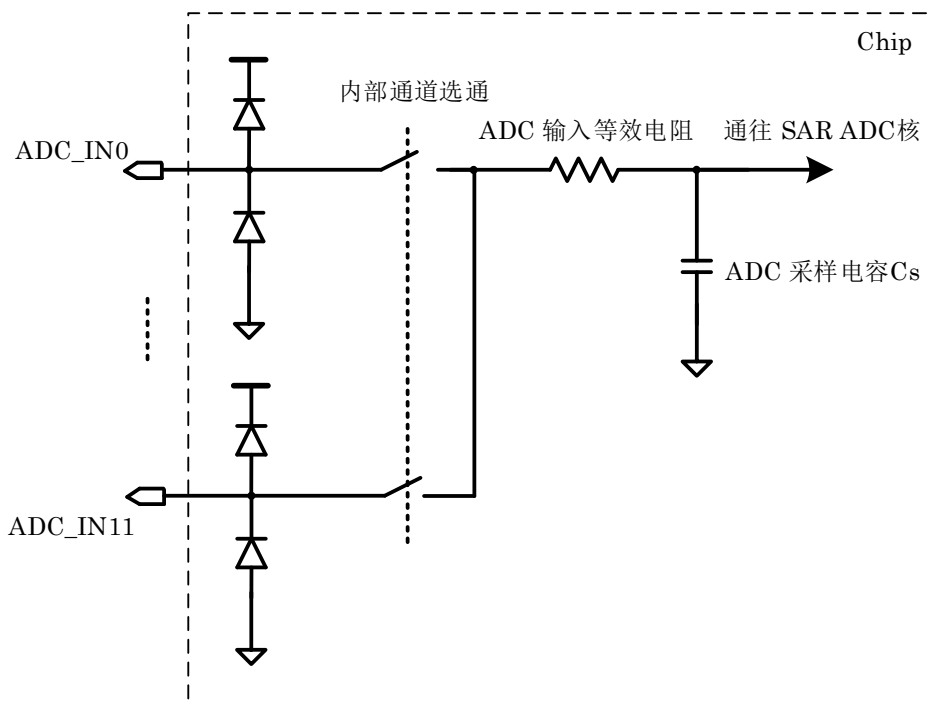


图 7-2 ADC 输入等效图

## 7.3.2 模拟比较器 (ACMP) 电气规格

表 7-8 比较器电气规格

C	特性	符号	最小值	典型值	最大值	单位
D	供电电压	V <sub>AVDD</sub>	2.5	—	5.5	V
T	供电电流 (工作模式)	I <sub>DDA</sub>	—	—	20	μA
D	模拟输入电压	V <sub>AIN</sub>	V <sub>SS</sub> - 0.3	—	V <sub>AVDD</sub>	V
P	模拟输入偏移电压	V <sub>AIO</sub>	—	—	40	mV
C	模拟比较器迟滞电压	V <sub>H</sub>	—	20	—	mV
C	模拟比较器迟滞电压	V <sub>H</sub>	—	40	—	mV
T	供电电流 (关闭模式)	I <sub>DDAOFF</sub>	—	—	100	nA
C	传播延迟	t <sub>D</sub>	—	0.4	1	μs

## 7.4 通信接口

### 7.4.1 SPI 规格

串行外设接口(SPI)可为主从操作提供同步串行总线。用户可以自由配置多项传输参数。下面各表将介绍经典 SPI 时序模式的时序特性。有关修正传输格式的信息,请参见本芯片“参考手册”中的 SPI 一章。这些格式主要用于和速度较慢的外围设备通信。如无特殊说明,表中所有时序采用的电压阈值均为 20% 的 V<sub>DD</sub> 和 80% 的 V<sub>DD</sub>, 所有 SPI 引脚挂有 25 pF 的负载。所有时序均假定已针对所有 SPI 输出引脚禁用压摆率控制并启用高驱动强度。

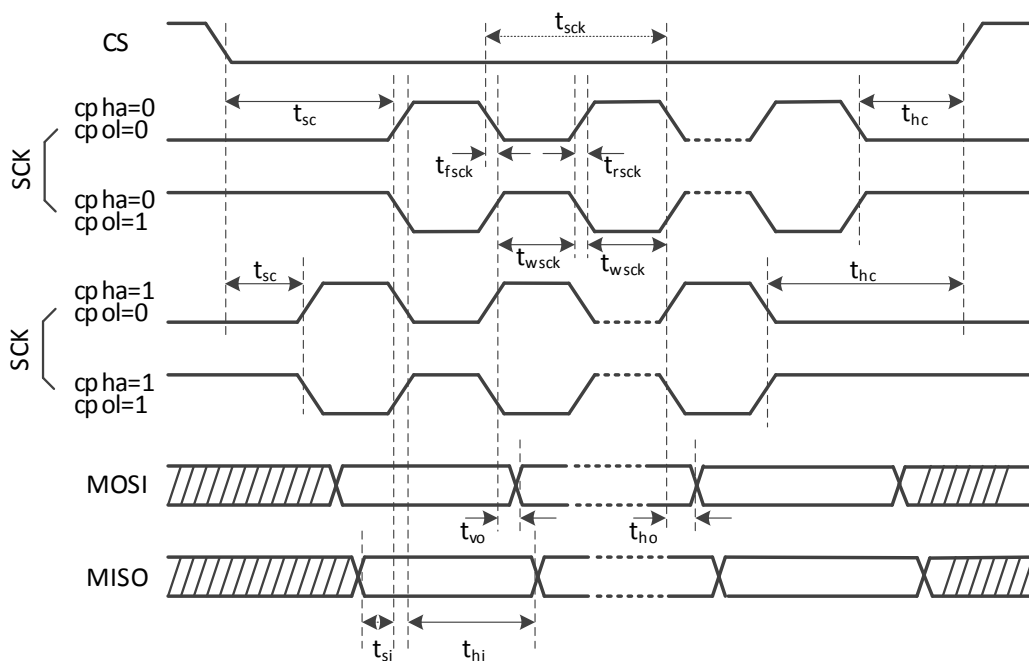


图 7-3 SPI 时序图 — 主机

表 7-9. SPI 特性 - 主机

符号	说明	最小值	最大值	单位	注解
$f_{op}$	操作频率	$f_{bus}/512$	$f_{bus}/2$	Hz	$f_{bus}$ 是总线时钟
$t_{sc}$	CS 建立时间	$1 \times t_{bus}$	$256 \times t_{bus}$	ns	从 CS 下降沿到第一个 SCK 边沿的时间
$t_{hc}$	CS 保持时间	$1 \times t_{bus}$	$256 \times t_{bus}$	ns	从最后一个 SCK 边沿到 CS 上升沿的时间
$t_{wsck}$	时钟 (SCK) 高电平或低电平时间	$1 \times t_{bus}$	$256 \times t_{bus}$	ns	未考虑 $t_{rsck}$ 和 $t_{fsck}$
$t_{si}$	数据输入建立时间	16	-	ns	
$t_{hi}$	数据输入保持时间	16	-	ns	
$t_{vo}$	数据输出有效时间	-	7	ns	
$t_{ho}$	数据输出保持时间	1		ns	
$t_{rsck}$	时钟输出上升时间	4.5	15.4	ns	
$t_{fsck}$	时钟输出下降时间	5.1	16.2	ns	

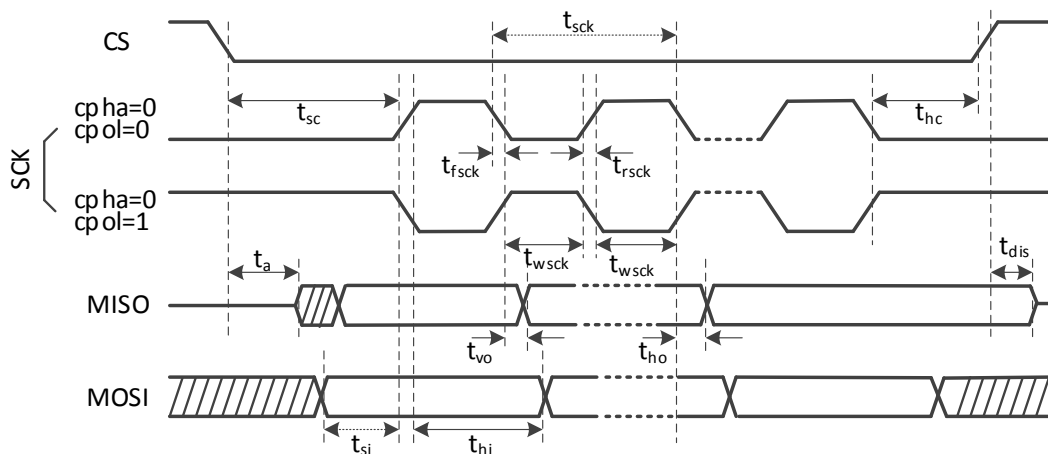
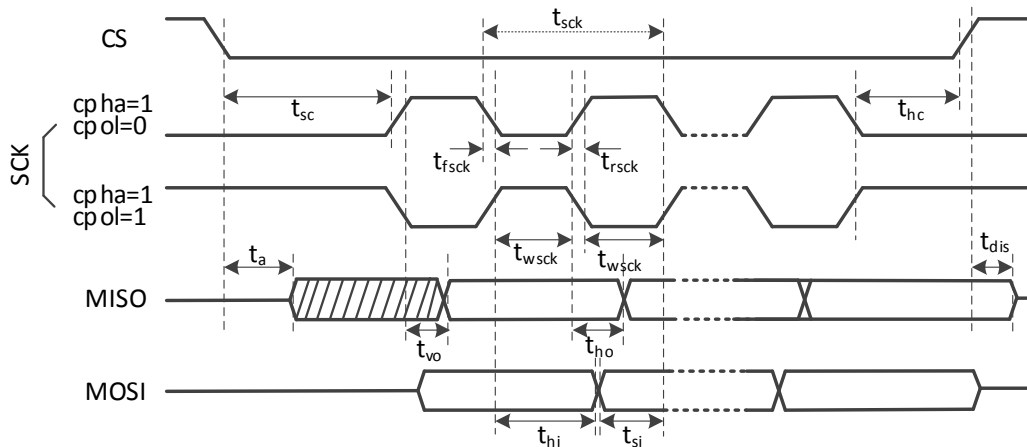

 图 7-4 SPI 时序图 - 从机( $cpha=0$ )

 图 7-5 SPI 时序图 - 从机( $cpha=1$ )

表 7-9 SPI 特性- 从机

符号	说明	最小值	最大值	单位	注解
$f_{op}$	操作频率	-	12M	Hz	
$t_{sc}$	CS 建立时间	$2 \times t_{bus}$	-	ns	从 CS 下降沿到第一个 SCK 边沿的时间
$t_{hc}$	CS 保持时间	$2 \times t_{bus}$	-	ns	从最后一个 SCK 边沿到 CS 上升沿的时间
$t_a$	从机访问时间	-	$t_{bus}$	ns	从高阻态到数据有效的时间
$t_{dis}$	从机 MISO 禁用时间	-	$t_{bus}$	ns	到高阻态状态的保持时间
$t_{wsck}$	时钟 (SCK) 高电平或低电平时间	30%	70%		未考虑时钟上升及下降时间
$t_{si}$	数据输入建立时间	12		ns	
$t_{hi}$	数据输入保持时间	28		ns	
$t_{vo}$	数据输出有效时间	-	36 <sup>[1]</sup> 29 <sup>[2]</sup>	ns	
$t_{ho}$	数据输出保持时间	14	-	ns	
$t_{rsck}$	时钟输入上升时间	1.4	5.4	ns	
$t_{fsck}$	时钟输入下降时间	1.4	6.4	ns	

[1]: GPIO 设置 00

[2]: GPIO 设置 10

## 7.4.2 CAN 规格

表 7-10 CAN 唤醒脉冲特性

参数	符号	最小值	典型值	最大值	单位
过滤掉的 CAN“显性”唤醒脉冲参数	tWUP	-	-	0.9	$\mu s$
有效的 CAN“显性”唤醒脉冲参数	tWUP	4.7	-	-	$\mu s$

## 7.4.3 UART 规格

通用的异步收发器(UART)的基本功能是按单 bit 传输和接收串行数据。在 AC780x 芯片中, 额外加入了软件 LIN 功能, 用来实现间断区域, 同步区域以及数据的传输。下面将介绍 UART 主要的参数特性:

1. 最多支持 3 路 UART, 最多支持 2 路软件 LIN 功能(不同时使用);
2. UART 支持产生或接收波特率范围在 600bps~3Mbps 的数据, 实际波特率和理想波特率误差不超过 1%;
3. GPIO 管脚中断脉冲宽度最小应超过 333ns。由于管脚对输入信号没有经过无源滤波处理, 因此至少要保证超过此脉冲宽度, 才能保证输入信号可以被识别;
4. 使用软件 LIN 功能时可支持的最高波特率为 20Kbps;

5. 使用软件 LIN 功能时，可选择开启自动波特率检测。此时接收波特率可容忍的误差范围是-20% (+/-2%) ~ +23% (+/-2%)。

#### 7.4.4 I2C 规格

表 7-11 不同模式下 I2C 总线特性

符号	参数	标准模式		快速模式		快速+模式		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
fSCL	SCL 时钟频率	0	100	0	400	0	1000	kHz
tHD;STA	开始状态保持时间	4	-	0.6	-	0.26	-	μs
tLOW	SCL 时钟低电平长度	4.7	-	1.3	-	0.5	-	μs
tHIGH	SCL 时钟高电平长度	4	-	0.6	-	0.26	-	μs
tSU;STA	重复开始状态建立时间	4.7	-	0.6	-	0.26	-	μs
tHD;DAT	数据保持时间	0	-	0	-	0	-	μs
tSU;DAT	数据建立时间	250	-	100	-	50	-	ns
t <sub>r</sub>	SDA 和 SCL 信号的上升时间	-	1000	20	300	-	120	ns
t <sub>f</sub>	SDA 和 SCL 信号的下降时间	-	300	20 × (V <sub>DD</sub> / 5.5 V)	300	20 × (V <sub>DD</sub> / 5.5 V)	120	ns
tSU;STO	结束状态的建立时间	4	-	0.6	-	0.26	-	μs
tBUF	结束和开始状态之间的总线空闲时间	4.7	-	1.3	-	0.5	-	μs
C <sub>b</sub>	总线负载电容	-	400	-	400	-	550	pF
tVD;DAT	数据有效时间	-	3.45	-	0.9	-	0.45	μs
tVD;ACK	应答数据有效时间	-	3.45	-	0.9	-	0.45	μs
V <sub>nL</sub>	低电平期间的噪声	0.1V <sub>DD</sub>	-	0.1V <sub>DD</sub>	-	0.1V <sub>DD</sub>	-	V
V <sub>nH</sub>	高电平期间的噪声	0.2V <sub>DD</sub>	-	0.2V <sub>DD</sub>	-	0.2V <sub>DD</sub>	-	V



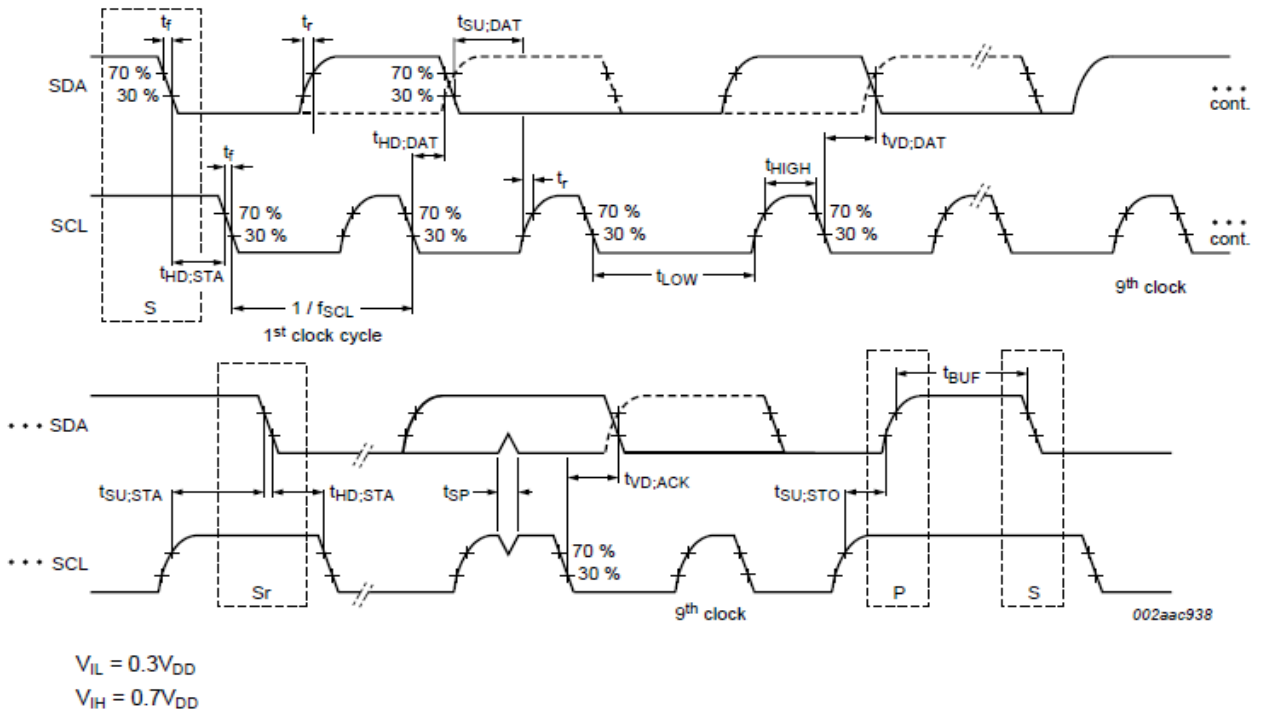


图 7-6 标准与快速模式下 I2C 总线时序图

## 8 尺寸

### 8.1 LQFP48 封装信息

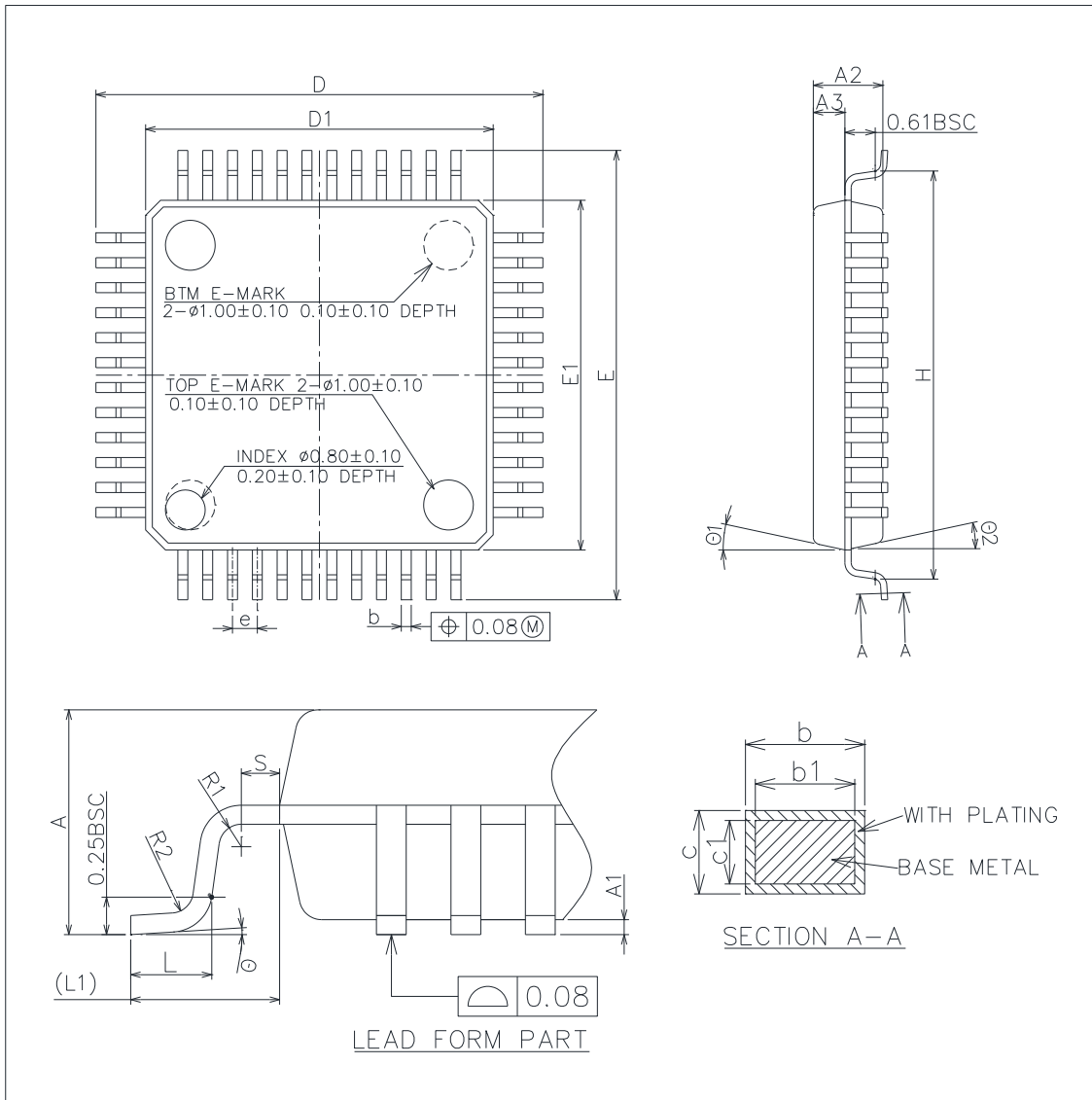


图 8-1 LQFP48 – 48 引脚，7 x 7 毫米低轮廓四方引脚扁平式封装外形

1. 该图绘制比例和实物比例有差别。

表 8-1 LQFP48 – 48 引脚，7 x 7 毫米低轮廓四方引脚扁平式封装机械数据

数据项	符号	最小值	标准值	最大值	
总高度	A	—	—	1.60	
站立高度	A1	0.05	—	0.15	
模塑厚度	A2	1.35	1.40	1.45	
框架到模塑高度	A3	0.59	0.64	0.69	
引脚宽度	b	0.18	—	0.27	
不含镀层的引脚宽度	b1	0.17	0.20	0.23	
引线框架厚度	c	0.13	—	0.18	
不含镀层的引线框架厚度	c1	0.117	0.127	0.137	
外引脚间距	X	D	8.80	9.00	9.20
	Y	E	8.80	9.00	9.20
封装体尺寸	X	D1	6.90	7.00	7.10
	Y	E1	6.90	7.00	7.10
引脚间距	e	0.40	0.50	0.60	
H	H	8.14	8.17	8.20	
L	L	0.50	—	0.70	
引脚长度	L1	1.00 REF			
引脚成型圆弧半径 R1	R1	0.08	—	—	
引脚成型圆弧半径 R2	R2	0.08	—	0.20	
S	S	0.20	—	—	
角度 1	Θ	0°	3.5°	7°	
角度 2	Θ1	11°	12°	13°	
角度 3	Θ2	11°	12°	13°	

1. 尺寸以毫米表示和度量。

## LQFP48 产品正印

下图给出了顶部正印方向与引脚 1 标识符位置的示例。

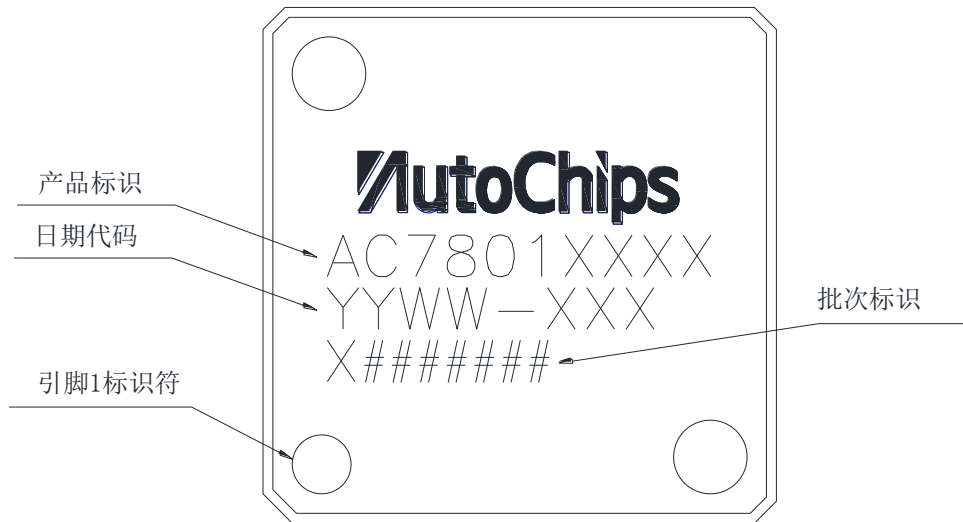


图 8-2 LQFP48 正印示例图（封装顶视图）

## 8.2 HVQFN32 封装信息

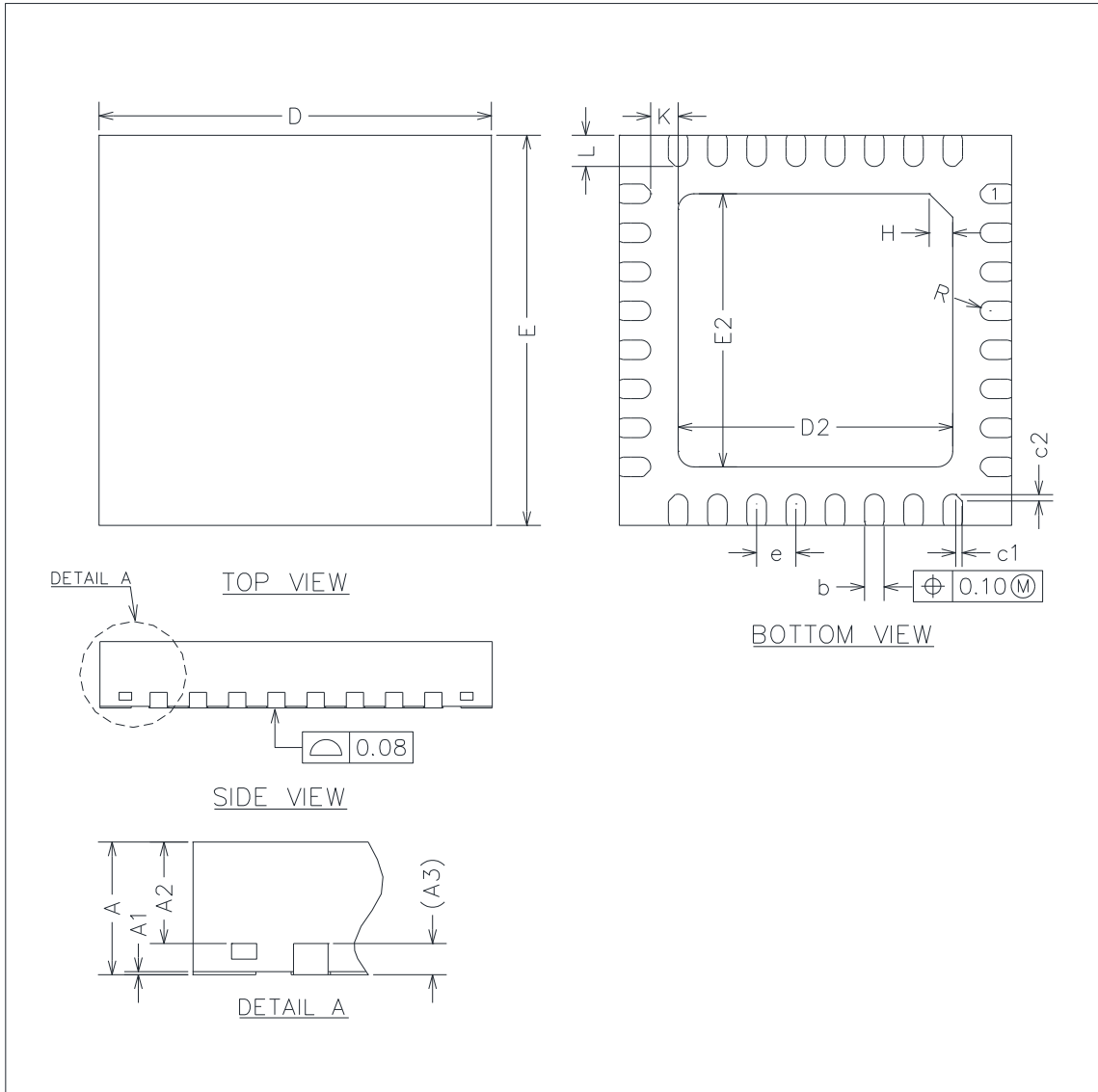


图 8-3 HVQFN32 – 32 引脚，5 x 5 毫米散热增强型非常薄四方扁平无引脚封装外形

1. 该图绘制比例和实物比例有差别。

表 8-2 HVQFN32 – 32 引脚，5 x 5 毫米散热增强型非常薄四方扁平无引脚封装机械数据

数据项		符号	最小值	标准值	最大值
总高度		A	0.80	0.85	0.90
站立高度		A1	0	0.02	0.05
框架到模塑高度		A2	0.60	0.65	0.70
引线框架厚度		A3	0.20REF		
引脚宽度		b	0.20	0.25	0.30
封装体尺寸	X	D	4.90	5.00	5.10
	Y	E	4.90	5.00	5.10
外露载片台尺寸	X	D2	3.40	3.50	3.60
	Y	E2	3.40	3.50	3.60
引脚间距		e	0.40	0.50	0.60
外露载片台 PIN1 标识大小		H	0.30REF		
引脚到外露载片台间距		K	0.35REF		
引脚长度		L	0.35	0.40	0.45
引脚圆弧半径		R	0.09	—	—
c1		c1	—	0.08	—
c2		c2	—	0.08	—

1. 尺寸以毫米表示和度量。

### HVQFN32 产品正印:

下图给出了顶部正印方向与引脚 1 标识符位置的示例。

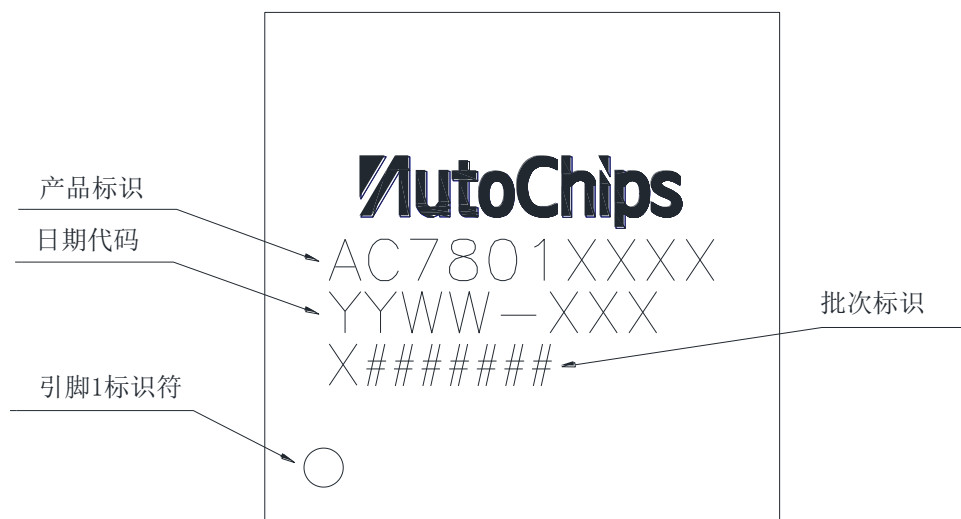


图 8-4 HVQFN32 正印示例（封装顶视图）

### 8.3 TSSOP20 封装信息

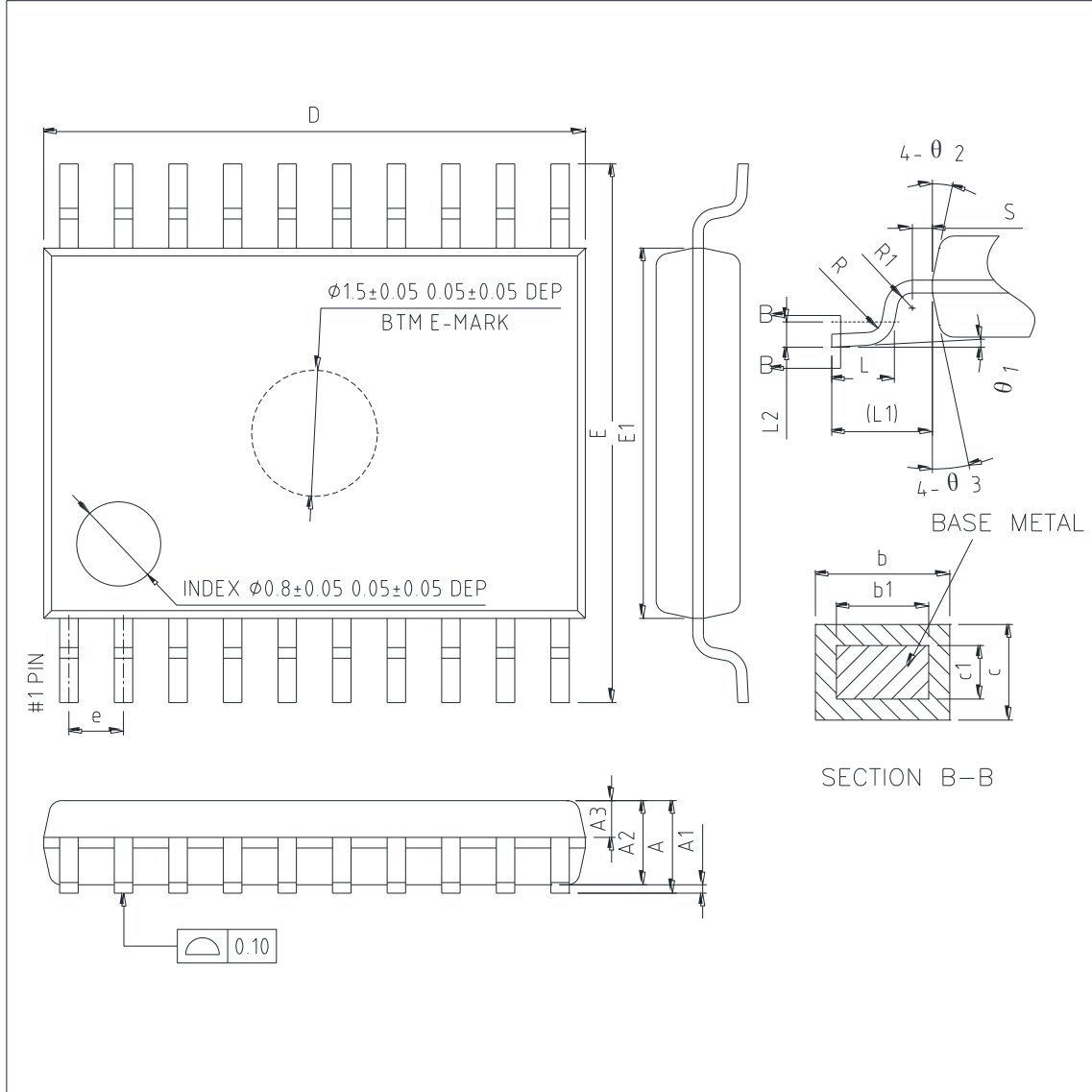


图 8-5 TSSOP20 – 20 引脚， 6.5 x 4.4 毫米纤薄紧缩小尺寸封装外形

1. 该图绘制比例和实物比例有差别。

表 8-3 TSSOP20 – 20 引脚， 6.5 x 4.4 毫米纤薄紧缩小尺寸封装封装机械数据

数据项	符号	最小值	标准值	最大值	
总高度	A	—	—	1.20	
站立高度	A1	0.05	—	0.15	
模塑厚度	A2	0.90	1.00	1.05	
框架到模塑高度	A3	0.34	0.44	0.54	
引脚宽度	b	0.20	—	0.28	
不含镀层的引脚宽度	b1	0.20	0.22	0.24	
引线框架厚度	c	0.10	—	0.19	
不含镀层的引线框架厚度	c1	0.10	0.13	0.15	
外引脚间距	Y	E	6.20	6.40	6.60
封装体尺寸	X	D	6.40	6.50	6.60
	Y	E1	4.30	4.40	4.50
引脚间距	e	0.55	0.65	0.75	
L	L	0.45	0.60	0.75	
引脚长度	L1	1.00 REF			
L2	L2	0.25 BSC			
引脚成型圆弧半径 R	R	0.09	—	—	
引脚成型圆弧半径 R1	R1	0.09	—	—	
S	S	0.20	—	—	
角度 1	Θ1	0°	—	8°	
角度 2	Θ2	10°	12°	14°	
角度 3	Θ3	10°	12°	14°	

1. 尺寸以毫米表示和度量。



**TSSOP20 产品正印:**

下图给出了顶部正印方向与引脚 1 标识符位置的示例。

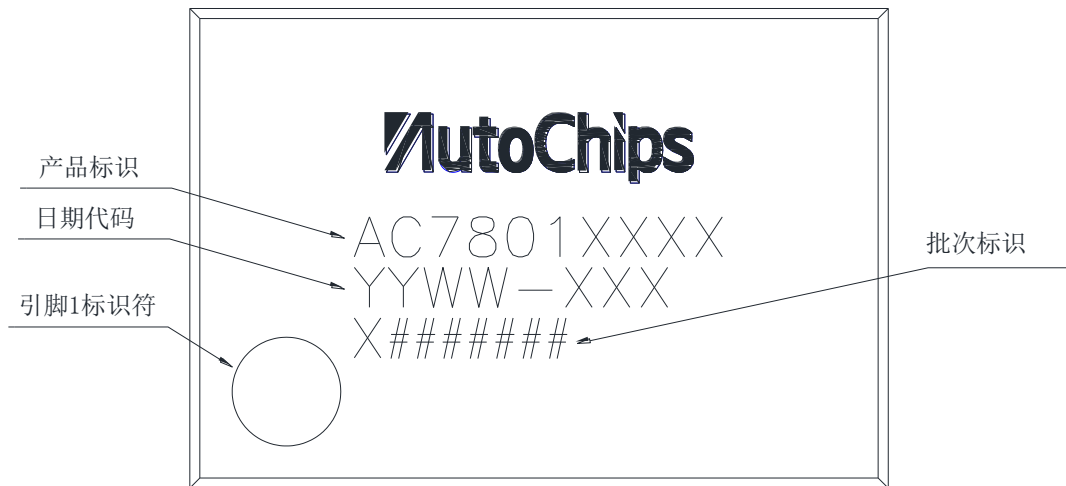


图 8-6 TSSOP20 正印示例（封装顶视图）

## 9 引脚分配

### 9.1 信号多路复用和引脚分配

下表显示的是各引脚上的信号以及这些引脚在本文档支持的器件上的位置。“端口控制模块”负责选择每个引脚上的 ALT 功能。

表 9-1 信号多路复用和引脚分配表

48 PIN LQFP	32 PIN HVQFN	20 PIN TSSOP	Pin Name	Function 0	Function 1	Function 2	Function 3	PINMUX	GPIO
1			PB11	gpio	PWM0_CH3	gpio	SPI1_MOSI	PMUX2[23:21]	27
2			PB12	gpio	PWM0_CH2	gpio	SPI1_SCK	PMUX2[26:24]	28
3	1		PB0	gpio	CAN_TX	PWM0_CH7	SPI1_MISO	PMUX1[20:18]	16
4	2		PB1	gpio	CAN_RX	PWM0_CH6	SPI1_NSS	PMUX1[23:21]	17
5	3	4	VDD1						
6			VDDA						
7	4	5	VSS1						
8	5	6	PA12			OSC_OUT <sup>1</sup>			12
9	6	7	PA15			OSC_IN <sup>1</sup>			15
10	7	8	PA0	gpio	PWM0_CH1	UART0_RTS	I2C0_SCL	PMUX0[2:0]	0
11	8	9	PA1	gpio	PWM0_CH0	UART0_CTS	I2C0_SDA	PMUX0[5:3]	1
12			PB13	gpio	PWM0_CH7	gpio	I2C1_SCL	PMUX2[29:27]	29
13	9		PB3	gpio	PWM0_CH6	PWM1_CH7	SPI0_MOSI	PMUX1[29:27]	19
14	10	10	PA2	gpio	PWM0_CH5	ADC_IN8	SPI0_MISO	PMUX0[8:6]	2
15	11	11	PA3	gpio	PWM0_CH4	ADC_IN7	SPI0_SCK	PMUX0[11:9]	3
16	12	12	PA4	gpio	PWM0_CH3	ADC_IN6/ACMP_IN6	UART1_TX	PMUX0[14:12]	4
17	13	13	PA5	gpio	PWM0_CH2	ADC_IN5/ACMP_IN5	UART1_RX	PMUX0[17:15]	5
18	14	14	PA6	gpio	BOOT <sup>1</sup>	gpio		PMUX0[20:18]	6
19			PB14	gpio	PWM0_CH1	gpio	SPI1_MOSI	PMUX3[2:0]	30
20			PB15	gpio	PWM1_FLT0	ADC_IN11	SPI1_SCK	PMUX3[5:3]	31
21			PC0	gpio	PWM1_CH3	ADC_IN10	SPI1_MISO	PMUX3[8:6]	32
22			PC1	gpio	PWM1_CH2	ADC_IN9	SPI1_NSS	PMUX3[11:9]	33
23	15		PB4	gpio	PWM1_CH1	ADC_IN8	SPI0_MISO	PMUX2[2:0]	20
24	16		PB5	gpio	PWM1_CH0	ADC_IN7	SPI0_SCK	PMUX2[5:3]	21
25	17	15	PA7	gpio	UART0_TX	ADC_IN4/ACMP_IN4	SPI0_MOSI	PMUX0[23:21]	7
26	18	16	PA8	gpio	UART0_RX	ADC_IN3/ACMP_IN3	SPI0_NSS	PMUX0[26:24]	8
27			PC2	gpio	UART1_TX	PWM0_FLT1	UART0_TX	PMUX3[14:12]	34
28			PC3	gpio	UART1_RX	PWM1_FLT1	UART0_RX	PMUX3[17:15]	35
29	19	17	PA9	gpio	PWM0_FLT0	ADC_IN2/ACMP_IN2	RTC_CLKIN	PMUX0[29:27]	9
30	20		VSS2						
31	21	18	VDD2						
32			PC4	gpio	PWM0_CH1	gpio	I2C1_SDA	PMUX3[20:18]	36
33	22		PB6	gpio	PWM1_CH6	PWM1_FLT0	CAN_STDBY	PMUX2[8:6]	22
34			PC5	gpio	gpio	PWDT0_IN1	SPI0_NSS	PMUX3[23:21]	37
35	23		PB7	gpio	PWM1_CH3	ACMP_IN3	I2C0_SCL	PMUX2[11:9]	23
36	24		PB8	gpio	PWM1_CH2	PWDT0_IN2	I2C0_SDA	PMUX2[14:12]	24
37	25	19	PA10	gpio	PWM0_CH7	ADC_IN1/ACMP_IN1	PWDT0_IN2	PMUX1[2:0]	10
38	26	20	PA11	gpio	PWM0_CH6	ADC_IN0/ACMP_IN0	PWDT0_IN1	PMUX1[5:3]	11
39			PC6	gpio	UART1_TX	gpio	PWDT1_IN2	PMUX3[26:24]	38
40			PC7	gpio	UART1_RX	gpio	PWDT1_IN1	PMUX3[29:27]	39
41			PC8	gpio	PWM1_CH7	CAN_STDBY	PWDT1_IN0	PMUX4[2:0]	40
42			PC9	gpio	PWM1_CH6	gpio	ACMP_OUT	PMUX4[5:3]	41
43	27		PB9	gpio	PWM1_CH5	I2C1_SCL	UART2_TX	PMUX2[17:15]	25
44	28		PB10	gpio	PWM1_CH4	I2C1_SDA	UART2_RX	PMUX2[20:18]	26
45	29		PB2	gpio	NMI_B <sup>1</sup>	PWM0_FLT0	PWDT0_IN0	PMUX1[26:24]	18
46	30	1	PA13	gpio	SWD_CLK <sup>1</sup>	EXT_CLKIN	RTC_CLKOUT	PMUX1[11:9]	13
47	31	2	RESET_B	RESET_B					
48	32	3	PA14	gpio	SWD_DIO <sup>1</sup>	ACMP_OUT	PWM1_CH0	PMUX1[14:12]	14

注释:

- 1、 该功能为默认功能
- 2、 除了一些专用引脚外，所有引脚在第一次上电时默认为 `gpio`。

例如：如果想要将 PIN1(PB11)配置为 PWM0\_CH3，我们应该设置 `PMUX2[23:21] = 1`。

## 9.2 器件引脚分配

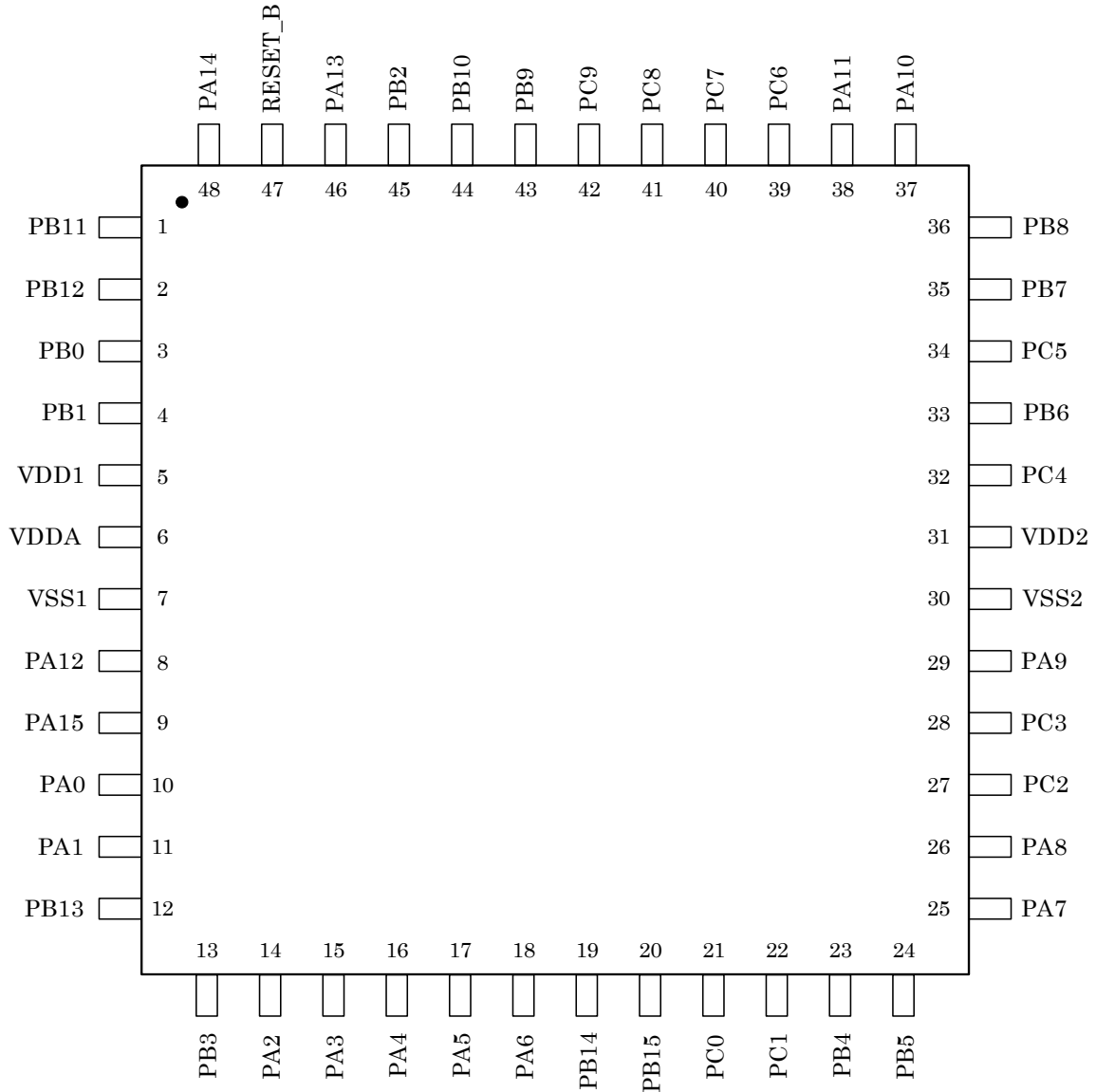


图 9-1 48 引脚 LQFP 封装

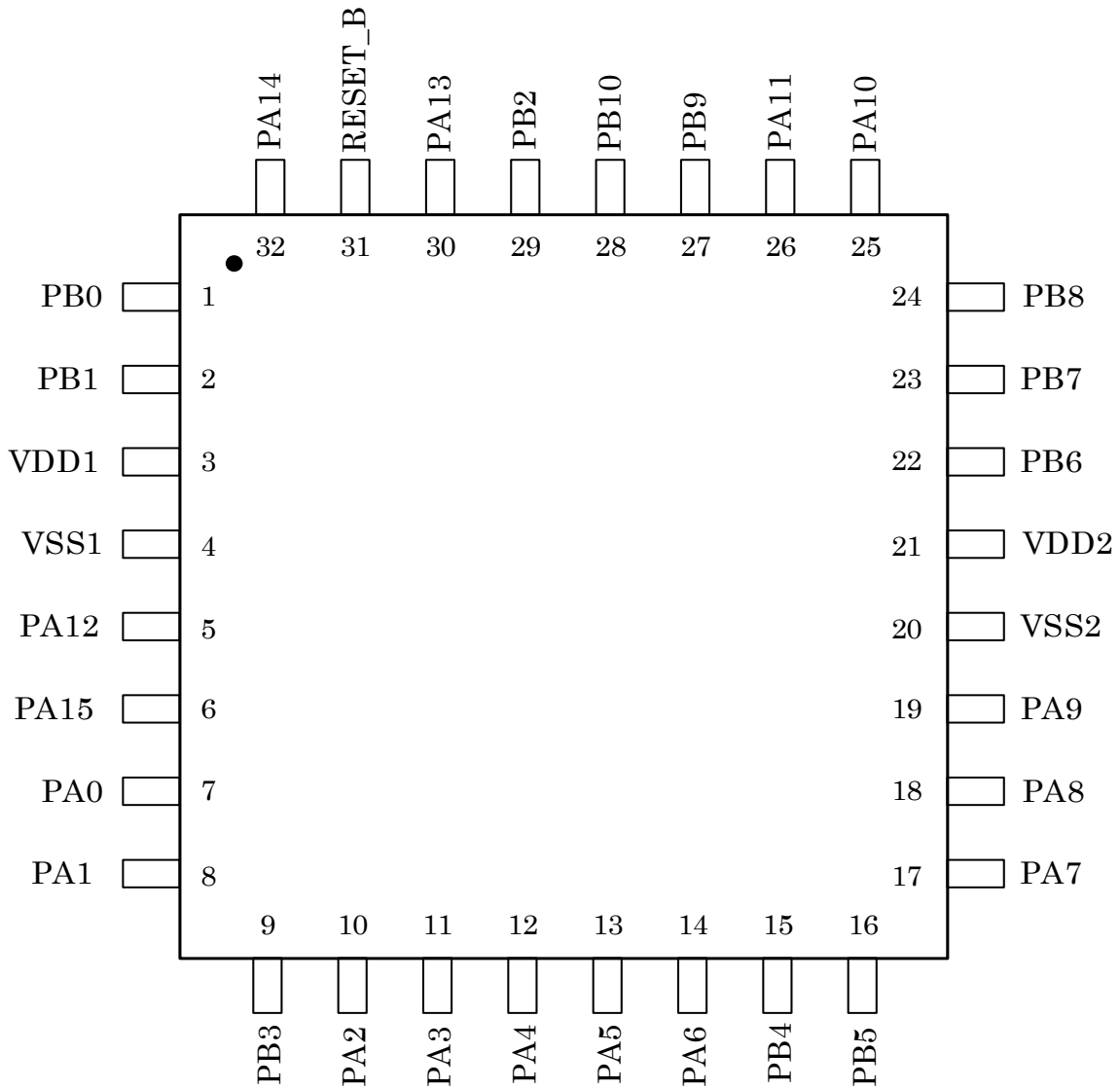


图 9-2 32 引脚 HVQFN32 封装

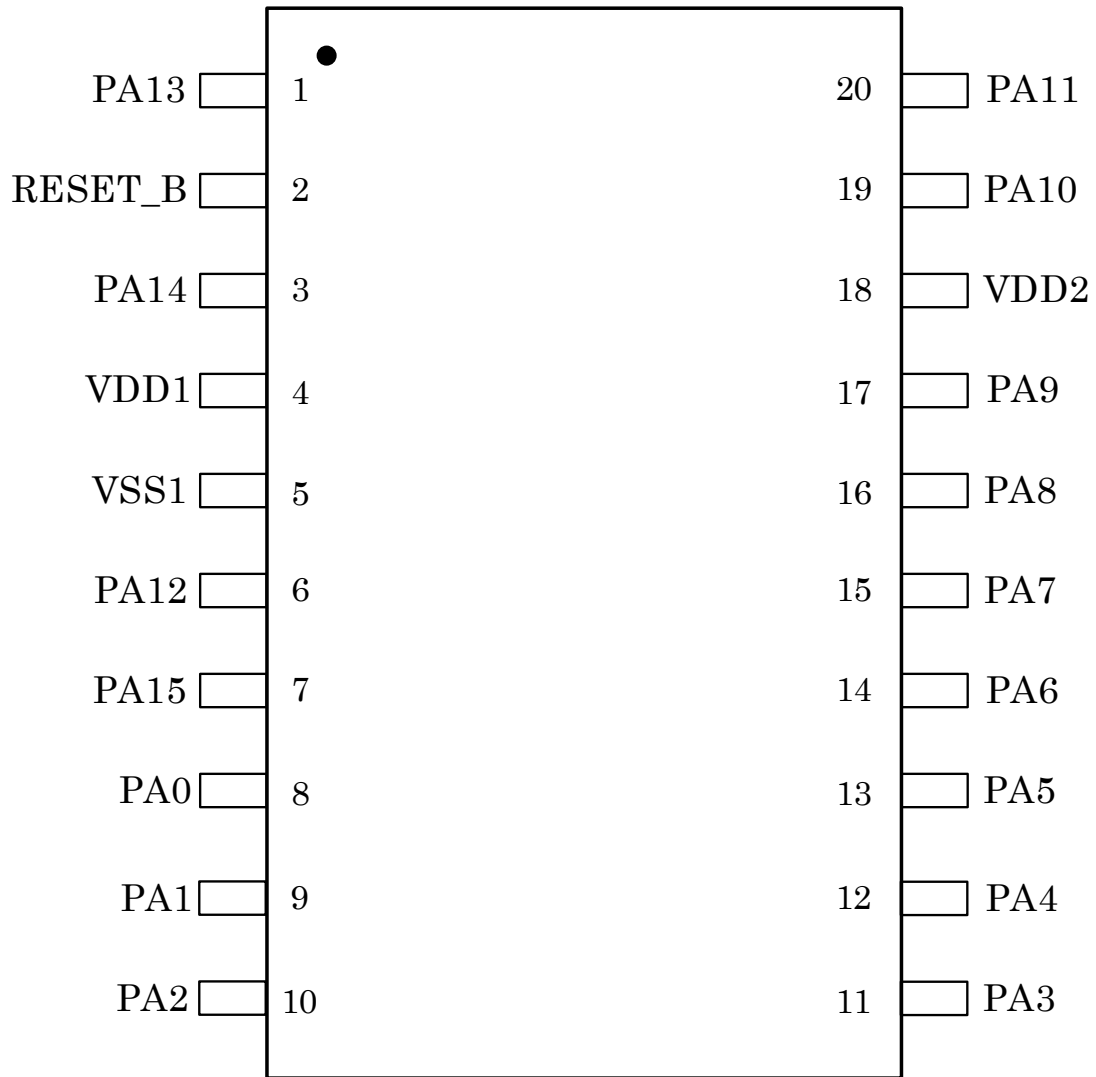


图 9-3 20 引脚 TSSOP20 封装